

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 06180995
PUBLICATION DATE : 28-06-94

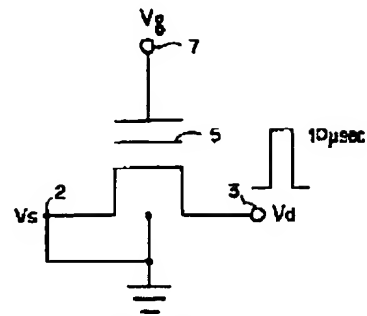
APPLICATION DATE : 14-12-92
APPLICATION NUMBER : 04333304

APPLICANT : OKI ELECTRIC IND CO LTD;

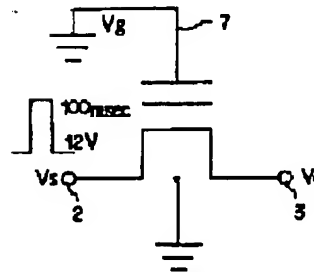
INVENTOR : TSUJIMOTO MASAO;

INT.CL. : G11C 16/06 H01L 27/115

TITLE : DATA WRITING METHOD FOR
NON-VOLATILE SEMICONDUCTOR
MEMORY



書き込み条件
(A)



消去条件
(B)

ABSTRACT : PURPOSE: To improve rewriting resistance by optimizing the writing conditions of a non-volatile semiconductor memory.

CONSTITUTION: For the data writing conditions of a memory cell, Vs is a source voltage applied to a source 2 and Vd is a drain voltage applied to a drain 3 and Vg is a gate voltage applied to a control gate 7, and the voltage Vd and the voltage Vg satisfying the following relation that $Vd^{3/2}/Vg \geq 1.37$ at Vs=0 are applied to a memory cell to perform writing.

COPYRIGHT: (C)1994,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-180995

(43) 公開日 平成6年(1994)6月28日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06				
H 0 1 L 27/115		6741-5L	G 1 1 C 17/00	3 0 9 A
		7210-4M	H 0 1 L 27/10	4 3 4

審査請求 未請求 請求項の数1(全12頁)

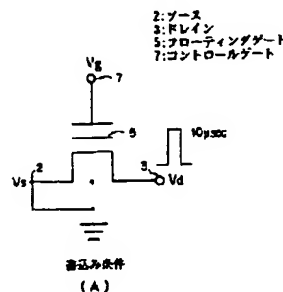
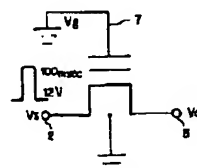
(21) 出願番号	特願平4-333304	(71) 出願人	390008855 宮崎沖電気株式会社 宮崎県宮崎郡清武町大字木原727番地
(22) 出願口	平成4年(1992)12月14日	(71) 出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
		(72) 発明者	岩谷 正明 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
		(72) 発明者	辻本 雅夫 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
		(74) 代理人	弁理士 柿本 基成

(54) 【発明の名称】 不揮発性半導体メモリのデータ書き込み方法

(57) 【要約】

【目的】 不揮発性半導体メモリの書き込み条件を最適化することにより、書換え耐性の向上を図る。

【構成】 メモリセルに対するデータの書き込み条件として、ソース2に印加するソース電圧 V_s と、ドレイン3に印加するドレイン電圧 V_d と、コントロールゲート7に印加するゲート電圧 V_g のうち、 $V_s = 0V$ にし、 $V_{s2}/V_{s1} \geq 1.37$ となるように V_{s2} 及び V_{s1} を印加してメモリセルに対するデータの書き込みを行う。

書き込み条件
(A)書き込み条件
(B)

本発明の実施例のデータ書き込み方法

【特許請求の範囲】

【請求項1】 ソース及びドレインを形成する半導体基板中の第1及び第2の拡散層を有する該基板上に、絶縁膜を介してフローティングゲート及びコントロールゲートが積層されたMOS型トランジスタを、記憶単位とする不揮発性半導体メモリのデータ書き込み方法において、前記第1又は第2の拡散層のうち、データ書き込みの際、絶対値の大きい電圧を印加する側の拡散層に印加される電圧値 V の $3/2$ 乗を、前記コントロールゲートに印加する電圧値 V_g で割った値 $V^{3/2}/V_g$ が、1.37以上になるようにしてデータの書き込みを行うことを特徴とする不揮発性半導体メモリのデータ書き込み方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、書換え耐性を向上させるフラッシュメモリ等の不揮発性半導体メモリのデータ書き込み方法に関するものである。

【0002】

【従来の技術】 従来、このような分野の技術としては、例えば次のような文献に記載されるものがあった。

文献1：日立評論、72 [12] (1990-12) 日立製作所、「シリコンファイルへの道を開くフラッシュメモリの開発」P. 1229-1230

文献2：技術情報センター先端技術セミナー、(1992-3-2) 三菱電機「フラッシュメモリの高機能化技術」P. 10

文献3：S. M. Sze著「フジックス オブ セミコンダクター デバイス (Physics of Semiconductor Devices)」(1981) ジョンウィリーアンドサンズ(米) P. 100

従来、不揮発性半導体メモリとして、例えばフラッシュメモリが知られており、その一構成例を図2に示す。

【0003】 図2は、前記文献1に記載された従来のフラッシュメモリのメモリセル構造を示す概略の断面図である。このフラッシュメモリのメモリセルは、EPROM (Erasable Programmable Read Only Memory) と同様の基本構造をしており、例えばP型半導体基板1内にn-拡散層からなるソース2及びドレイン3が形成され、そのソース2及びドレイン3間上に、トンネル酸化膜4を介して、ポリシリコンからなるフローティングゲート5が形成されている。フローティングゲート5上には、層間絶縁膜6を介して、コントロールゲート7が形成されている。コントロールゲート7は、ポリシリコン7a上にポリサイド7bが形成された2層構造をしている。このフラッシュメモリのメモリセルは、基本構造がEPROMと同様であるが、フローティングゲート5下のトンネル酸化膜4が非常に薄い(約10nm)こと、及び消去時にソース2に12Vの高電圧がかかるので、該ソース2の拡散プロファイルが高耐圧仕様になっていることの2点が大きく異なっている。

【0004】 次に、図2のメモリセルの動作原理を図3(A)、(B)～図5(A)、(B)を参照しつつ説明する。図3(A)、(B)～図5(A)、(B)は、図2のメモリセルの動作原理を示す図であり、図3(A)、(B)は図2のメモリセルとそのメモリセルを配列したメモリセルアレイの書き込み動作を示す図である。図4(A)、(B)はメモリセルとそのメモリセルアレイの消去動作を示す図、及び図5(A)、(B)はメモリセルとそのメモリセルアレイの読出し動作を示す図である。なお、図中の V_s はソース2に印加されるソース電圧、 V_d はドレイン3に印加されるドレイン電圧、 V_g はコントロールゲート7に印加されるゲート電圧、及び1.1、1.2、1.3は信号線である。

【0005】 書き込みは、図3に示すように、信号線L1を介してコントロールゲート7に高電圧のゲート電圧 $V_g = 12V$ を印加すると共に、信号線L2を介してドレイン3に高電圧のドレイン電圧 $V_d = 6V$ を印加し、該ドレイン3近傍で発生したホットエレクトロン(電子)8をフローティングゲート5に注入することによって行う。書き込み後は、閾値電圧が高くなる。消去は、図4に示すように、信号線L1を介してコントロールゲート7を接地し、信号線L3を介してソース2に高電圧のソース電圧 $V_s = 12V$ を印加し、FN (Fowler Nordheim) トンネルにより、フローティングゲート5に蓄積した電子8をソース2に引き抜く。この場合、信号線L2を介してドレイン3は開放状態にある。消去後は、閾値電圧が低くなる。

【0006】 読出しは、図5に示すように、信号線L1を介してコントロールゲート7に電源電圧のゲート電圧 $V_g = 5V$ を印加すると共に、信号線L2を介してドレイン3にドレイン電圧 $V_d = 1V$ を印加し、閾値電圧の高低に応じたドレイン電流のオン、オフを例えばセンスアンプによって検出することにより行う。この種のフラッシュメモリでは、消去単位が、ソース2への高電圧の印加が一括して行われるため、全ビット(チップ)を一括して消去できる。なお、ソース2を分割して別々に高電圧を印加すれば、ブロック分割による部分消去が可能となる。

【0007】 次に、図2のメモリセルの最重要特性の一つである書換え耐性について、図6を参照しつつ説明する。図6は、図2に示すメモリセルの書換え耐性を示す図であり、縦軸に消去/書き込み回数(書換え回数)、縦軸に閾値電圧 V_t がとられている。図2のメモリセルでは、書換え回数が増えると、その閾値電圧 V_t のうち、書き込み V_{t1} ($-V_{t1}$)が下降していき、消去 V_{t2} ($-V_{t2}$)が上昇していく。書き込み V_{t1} と消去 V_{t2} との差 $V_{t1} - V_{t2}$ をウィンドウWという。書換え回数が $10^1 \sim 10^3$ 程度の範囲ではウィンドウWが最大 W_{max} であるが、書換え回数が大きくなるほど該ウィンドウWが狭まっていき、書換え回数が 10^4 程度になると、該ウィ

ドウWが最小 W_{min} となる。一般に、書換え回数に対するウィンドウWの変化が小さければ小さいほど、良好な書換え耐性であると考えられている。なお、図6中の ΔV_{th} は書込み V_{th} ($=V_{th0}$)の劣化量、 ΔV_{th} は消去 V_{th} ($=V_{th0}$)の劣化量である。

【0008】従来、このような書換え耐性を向上させる方法として、前記文献2に記載されているような消去条件を改良する提案が行われている。図2のメモリセルにおける消去は、コントロールゲート7を接地し、ソース2に高電圧のソース電圧 $V_s = 12V$ を印加して行われる。前記文献2に記載されているように、消去時において、ソース2の n^+ 拡散層がトンネル酸化膜4と接する部分で起こるバンド間トンネリングによって生成されるホールが、ソース2-半導体基板1間の大きな電位差によって加速され、ホットホールとなって該トンネル酸化膜4中に注入されるという現象が生じ、書換え耐性が劣化する。そこで、前記文献2の消去条件の改良方法では、消去時に、コントロールゲート7に負の高電圧（例えば、 $V_g = -12V$ ）を印加し、ソース2に印加するソース電圧 V_s を下げる（例えば、 $5V$ ）ことにより、消去 V_{th} の劣化量 ΔV_{th} を小さくしている。

【0009】

【発明が解決しようとする課題】しかしながら、従来のデータ書込み方法では、前記文献2に記載されるような消去条件の改良を行って書換え耐性を向上させることが行われているが、書込み条件に関する改良が行われていないので、書込み V_{th} の劣化量 ΔV_{th} が大きく、書換え耐性を向上させる方法としては不十分であり、未だ技術的に充分満足のゆくデータ書込み方法を得ることが困難であった。本発明は、前記従来技術が持っていた課題として、書込み条件に関する改良が行われていないので、技術的に満足のゆく書換え耐性を得ることが困難な点について解決し、不揮発性半導体メモリの書込み条件を最適化することによって優れた書換え耐性を得ることができ、不揮発性半導体メモリのデータ書込み方法を提供するものである。

【0010】

【課題を解決するための手段】本発明は、前記課題を解決するために、ソース及びドレインを形成する半導体基板中の第1及び第2の拡散層を有する該基板上に、絶縁膜を介してフローティングゲート及びコントロールゲートが積層されたMOS型トランジスタを、記憶単位とする不揮発性半導体メモリのデータ書込み方法において、次のような手段を講じている。即ち、本発明では、前記第1又は第2の拡散層のうち、データ書込みの際、絶対値の大きい電圧を印加する側の拡散層（例えば、ドレイン側拡散層）に印加される電圧値 V の $3/2$ 乗（ $V^{3/2}$ ）を、前記コントロールゲートに印加する電圧値 V_g で割った値 $V^{3/2}/V_g$ が、 1.37 以上になるようにしてデータの書込みを行うようにしている。

【0011】

【作用】本発明によれば、以上のように不揮発性半導体メモリのデータ書込み方法を構成したので、ドレイン又はソースに印加される電圧 V とコントロールゲートに印加される電圧 V_g とを $V^{3/2}/V_g \geq 1.37$ のように設定してデータの書込みを行えば、不揮発性半導体メモリの書込み条件が最適化されて書換え耐性の向上が図れる。従って、前記課題を解決できるのである。

【0012】

【実施例】図1(A)、(B)は、本発明の実施例を示す不揮発性半導体メモリ（例えば、フラッシュメモリ）のメモリセルに対するデータ書込み方法を示すもので、同図(A)は書込み条件、及び同図(B)は消去条件を示す図である。このメモリセルは、従来の図2と同様に、半導体基板内に形成された拡散層からなるソース2及びドレイン3を有し、そのソース2及びドレイン3間上には絶縁膜を介してフローティングゲート5及びコントロールゲート7が積層されて構成されている。ソース2、ドレイン3、及びコントロールゲート7には、それぞれソース電圧 V_s 、ドレイン電圧 V_d 、及びゲート電圧 V_g が印加される。

【0013】本実施例では、次のような消去条件と書込み条件のもとで、データの消去と書込みを繰り返し、書換え耐性の測定を行った。その書換え耐性の測定結果を図7～図24に示す。即ち、書込み条件では、図1(A)及び図7～図24に示すように、ソース電圧 $V_s = 0$ とし、ゲート電圧 $V_g = 11V, 12V, 12.5V, 13V, 13.5V, 14V, 15V, 16V, 17V$ 、及びパルス幅 $10\mu sec$ のドレイン電圧 $V_d = 6.5V, 7V, 7.5V$ というように、ゲート電圧 V_g とドレイン電圧 V_d を18通りの組合せで変化させて書込みを行い、書換え回数に対する閾値電圧 V_{th} の変化、つまり書換え耐性の測定を行った。図7～図24の書換え耐性の測定結果を、 $a \sim r$ で示す。消去条件は、図1(B)に示すように、図7～図24のいずれの場合も、コントロールゲート7を接地（ $V_g = 0$ ）し、ドレイン3を解放してソース2にパルス幅 $100nsec$ の $12V$ のソース電圧 V_s を印加することにより、消去を行った。

【0014】図7～図24に示すように、各測定結果 $a \sim r$ において、上方の測定点は書込み V_{th} ($=V_{th0}$)、下方の測定点は消去 V_{th} ($=V_{th0}$)を示す。これらの図に示すように、消去条件を一定にすることにより、書込み条件を変化させた場合の書込み V_{th} の劣化量 ΔV_{th} の差を確認できる。図25は、図7～図24に示した書換え耐性の測定結果 $a \sim r$ に対し、横軸にドレイン電圧 V_d をとり、縦軸を $V_d^{3/2}/V_g$ として整理した図である。この図より、 $V_d^{3/2}/V_g$ が小さくなると、書込み V_{th} の劣化量 ΔV_{th} が大きくなっているのが確認できる。図26～図28は、図25より得られた傾向を明確

にするため、横軸に、 $V_g^{1/2} / V_g$ をとり、縦軸に、書き込み V_{i1} ($=V_{i1c}$) の劣化量 ΔV_{i1c} を、 ΔV_{i1c} と消去 V_{i1} ($=V_{i1c}$) の劣化量 ΔV_{i1c} との和で割った値 $\Delta V_{i1c} / (\Delta V_{i1c} + \Delta V_{i1c})$ をとった図である。図29は、図26～図28を集計した図である。

【0015】図26～図29に示すように、縦軸の値 $\Delta V_{i1c} / (\Delta V_{i1c} + \Delta V_{i1c})$ は、この値が大きいほど書き込み V_{i1} の劣化が激しいことを表す。図29より、 $V_g^{1/2} / V_g$ の値が1.37より小さくなると、いずれの場合も $\Delta V_{i1c} / (\Delta V_{i1c} + \Delta V_{i1c})$ の値が上昇し始めることがわかる。この結果より、良好な書き換え耐性を得るためには、書き込み時のゲート電圧 V_g とドレイン電圧 V_d を $V_g^{1/2} / V_g \geq 1.37$ となるように設定する必要がある。この最適書き込み条件 ($V_g^{1/2} / V_g \geq 1.37$) を図30の斜線領域として示す。

$$V_b = \frac{4}{3} E_g^{3/2} \left(\frac{2\epsilon_s}{Q} \right)^{1/2} (\alpha)^{-1/2}$$

但し、

E_g : 空乏層中の最大電界

ϵ_s : 半導体の誘電率

Q : 電荷量

α : 不純物濃度勾配

即ち、PN接合のアバランシェブレイクダウン電圧 V_b は、空乏層中の最大電界を3/2乗した値に比例する。これをフラッシュメモリの書き込みにあてはめると、ドレイン3近傍の空乏層中の最大電界は、ドレイン電圧 V_d 及びゲート電圧 V_g のいずれにも依存した値である。しかし、ここでは、PN接合のN側に直接印加されているドレイン電圧 V_d からの影響が主であり、ゲート電圧 V_g は電界の向きを変えるにすぎないと仮定する。そして、ドレイン電圧 V_d のみを3/2乗し、これをゲート電圧 V_g で割った値 $V_d^{1/2} / V_g$ を用いて前記のようなデータの解析を行った。

【0018】以上のように、本実施例では、フラッシュメモリにおけるメモリスセルの書き込み時のドレイン電圧 V_d を3/2乗した値を、ゲート電圧 V_g で割った値 $V_d^{1/2} / V_g$ が1.37以上となるように印加電圧を設定している。これにより、フラッシュメモリの最重要特性の一つである書き換え耐性の向上が期待できる。なお、本発明は上記実施例に限定されず、種々の変形が可能である。例えば、図1及び図2に示すメモリスセルにおいて、その横方向に選択用のMOSトランジスタを形成してEEPROM (Electrically Erasable & Programmable ROM) と似たような他のメモリスセルについても上記実施例の適用が可能である。又、消去条件は図1(B)以外の条件にしてもよい。さらに、図1及び図2ではコントロールゲート7及びドレイン3に高電圧を印加してデータ

*37) を図30の斜線領域として示す。

【0016】次に、良好な書き換え耐性を得るための最適書き込み条件 ($V_g^{1/2} / V_g \geq 1.37$) として $V_g^{1/2} / V_g$ を用いた理由を説明する。図1及び図2に示すように、フラッシュメモリにおけるメモリスセルの書き込みは、ドレイン3の近傍でのアバランシェブレイクダウン (もしくはインバクティオン化) により発生したホットエレクトロン (電子) を、フローティングゲート5に注入することにより行っている。P型半導体基板1とn⁺拡散層であるドレイン3とのPN接合のアバランシェブレイクダウン電圧 V_b は、前記文献3に記載されているように、次式で表される。

【0017】

【数1】

の書き込みを行っているが、コントロールゲート7及びソース2に高電圧を印加してデータの書き込みを行うようにしてもよい。

【0019】

【発明の効果】以上詳細に説明したように、本発明によれば、拡散層の印加電圧 V_d とゲート電圧 V_g とが $V_d^{1/2} / V_g \geq 1.37$ となるように印加電圧を設定してデータの書き込みを行うようにしたので、不揮発性半導体メモリの最重要特性の一つである書き換え耐性の向上が期待できる。

【図面の簡単な説明】

【図1】本発明の実施例のデータ書き込み方法を説明するための書き込み条件と消去条件を示す図である。

【図2】従来のメモリスセルの概略の断面図である。

【図3】図2のメモリスセルの書き込みの原理を示す図である。

【図4】図2のメモリスセルの消去の原理を示す図である。

【図5】図2のメモリスセルの読出しの原理を示す図である。

【図6】図2のメモリスセルの書き換え耐性を示す図である。

【図7】図1の書き換え耐性の測定結果aを示す図である。

【図8】図1の書き換え耐性の測定結果bを示す図であ

る。

【図9】図1の書換え耐性の測定結果cを示す図である。

【図10】図1の書換え耐性の測定結果dを示す図である。

【図11】図1の書換え耐性の測定結果eを示す図である。

【図12】図1の書換え耐性の測定結果fを示す図である。

【図13】図1の書換え耐性の測定結果gを示す図である。

【図14】図1の書換え耐性の測定結果hを示す図である。

【図15】図1の書換え耐性の測定結果iを示す図である。

【図16】図1の書換え耐性の測定結果jを示す図である。

【図17】図1の書換え耐性の測定結果kを示す図である。

【図18】図1の書換え耐性の測定結果lを示す図である。

【図19】図1の書換え耐性の測定結果mを示す図である。

【図20】図1の書換え耐性の測定結果nを示す図である。

【図21】図1の書換え耐性の測定結果oを示す図である。

【図22】図1の書換え耐性の測定結果pを示す図である。

10

る。

【図23】図1の書換え耐性の測定結果qを示す図である。

【図24】図1の書換え耐性の測定結果rを示す図である。

【図25】図7～図24の書換え耐性の測定結果a～rを示す図である。

【図26】図25の V_{th} 劣化の、書込み電圧に対する依存を示す図である。

【図27】図25の V_{th} 劣化の、書込み電圧に対する依存を示す図である。

【図28】図25の V_{th} 劣化の、書込み電圧に対する依存を示す図である。

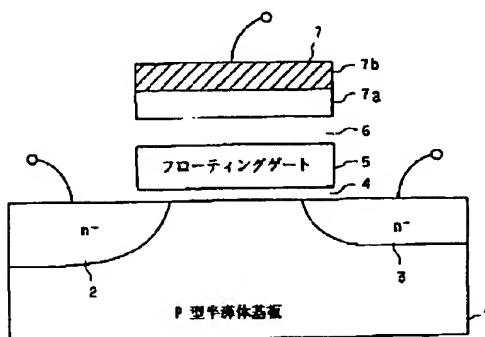
【図29】図26～図28の集計を示す図である。

【図30】図1の最適書込み条件 ($V_{th}^{1/2} / V_{th} \geq 1.37$)を示す図である。

【符号の説明】

1	P型半導体基板
2	ソース
3	ドレイン
4	トンネル酸化膜
5	フローティングゲート
6	層間絶縁膜
7	コントロールゲート
V_d	ドレイン電圧
V_g	ゲート電圧
V_s	ソース電圧

【図2】



従来メモリセル

【図3】

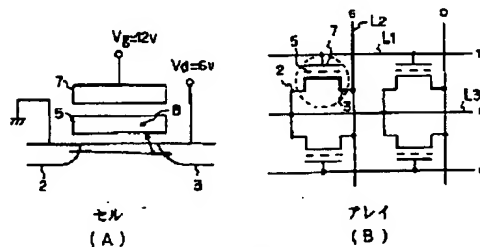
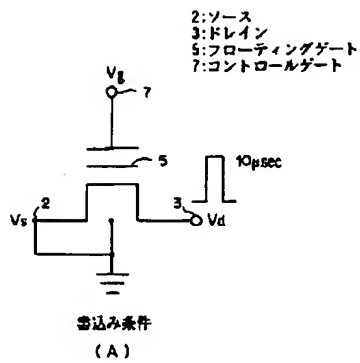


図2の書込み

【図1】



【図4】

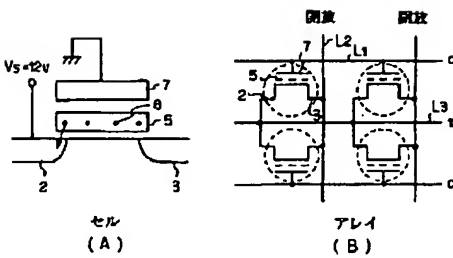
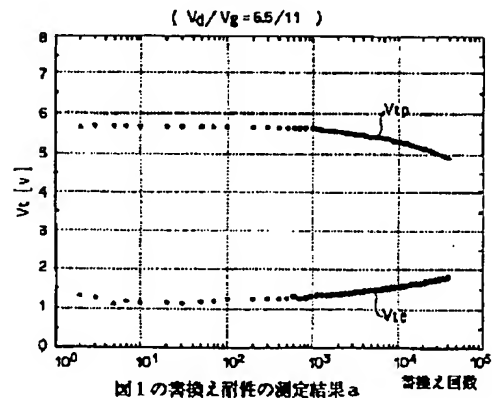
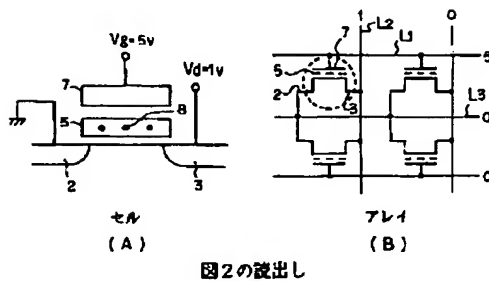


図2の消去

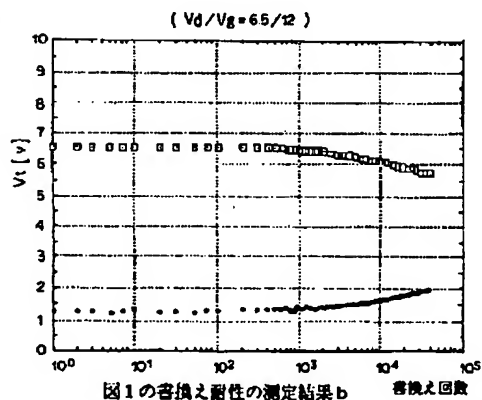
【図7】



【図5】



【図8】



【図6】

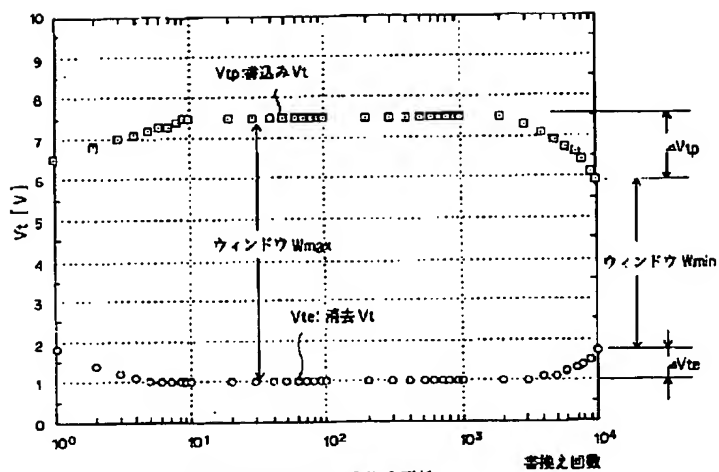


図2のメモリセルの書き換え耐性

【図9】

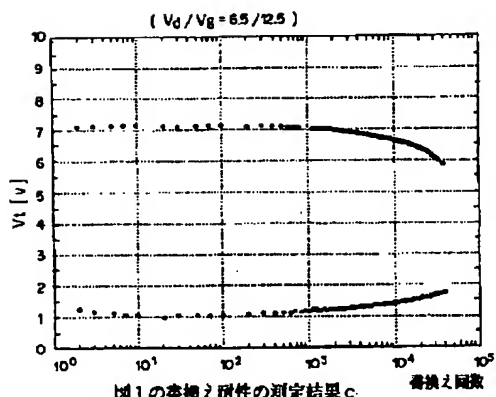


図1の書き換え耐性の測定結果c

【図10】

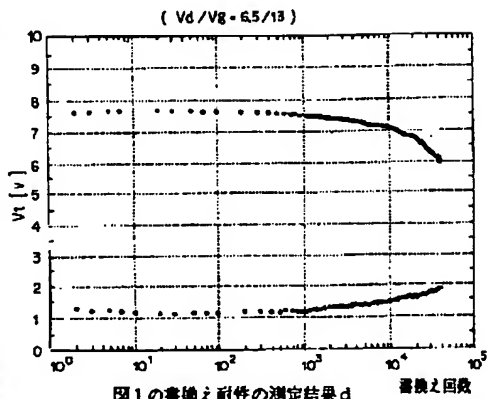
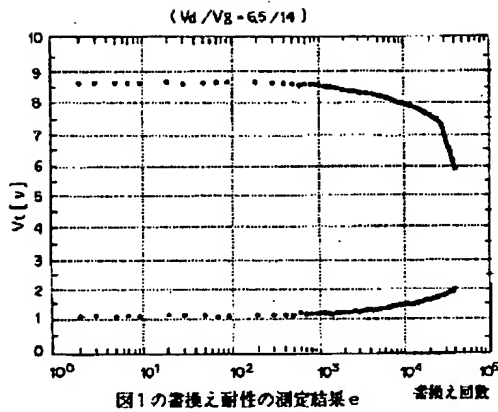


図1の書き換え耐性の測定結果d

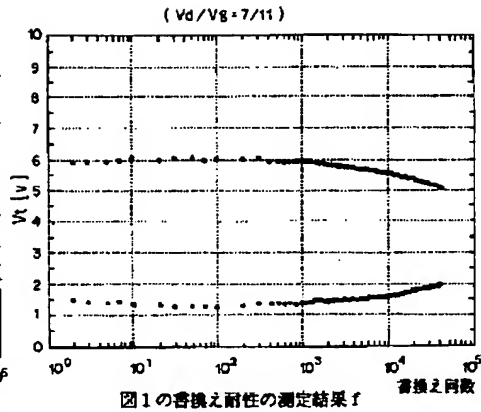
(8)

特開平6-180995

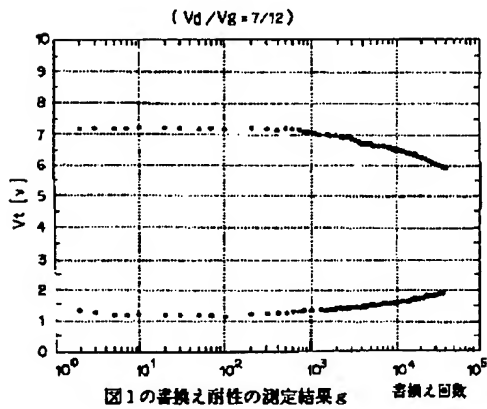
【図11】



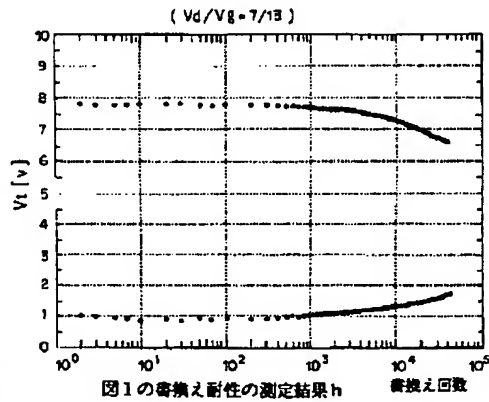
【図12】



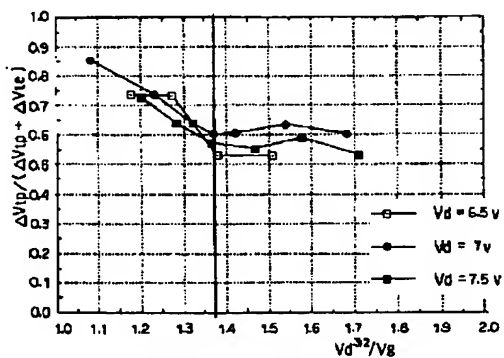
【図13】



【図14】



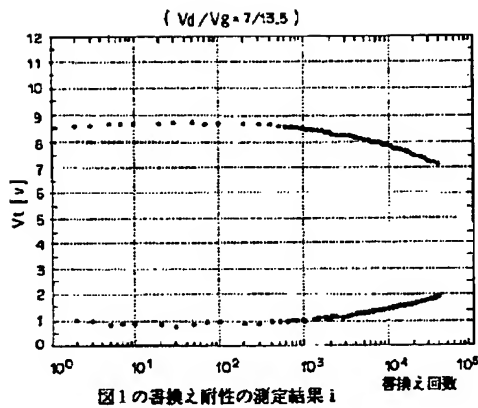
【図29】



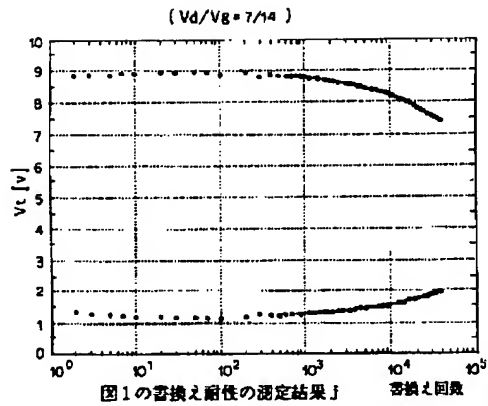
(9)

特開平6-180995

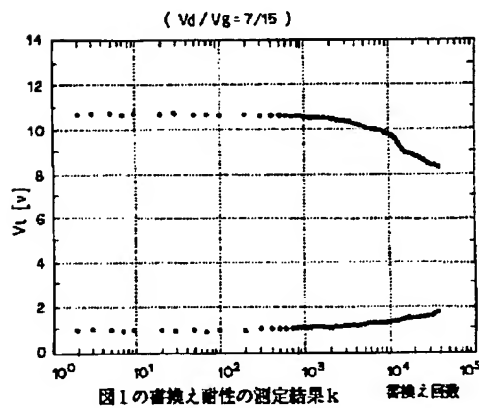
【図15】



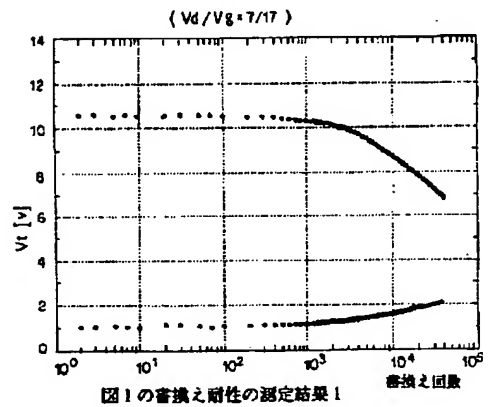
【図16】



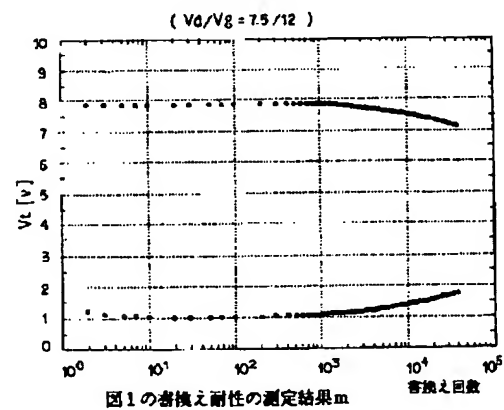
【図17】



【図18】



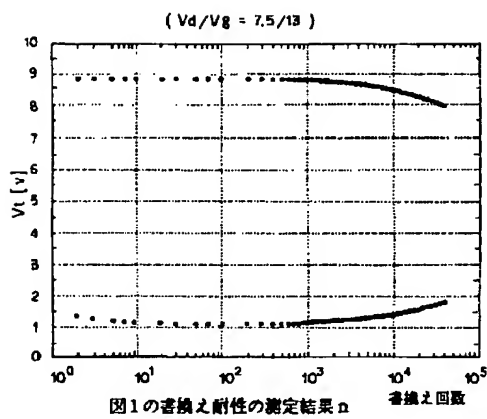
【図19】



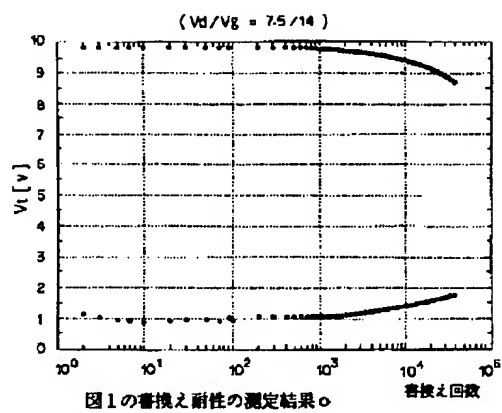
(10)

特開平6-180995

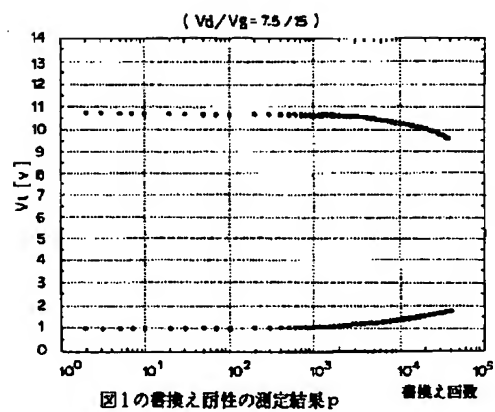
【図20】



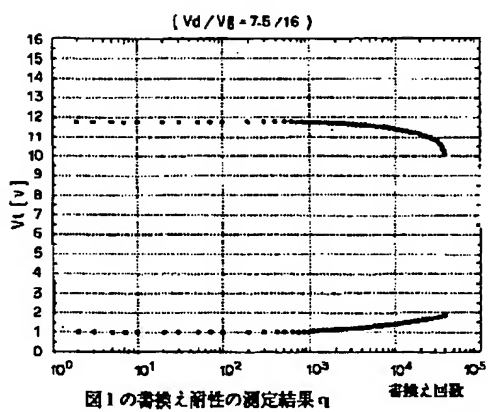
【図21】



【図22】



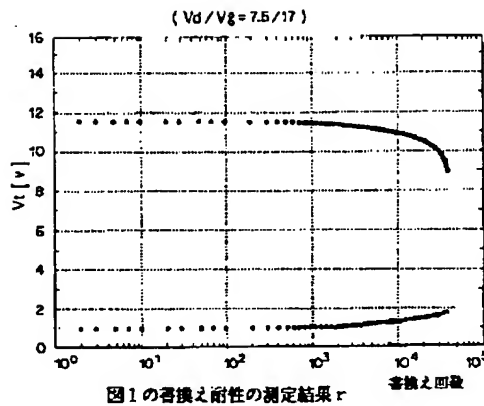
【図23】



(11)

特開平6-180995

【図24】



【図25】

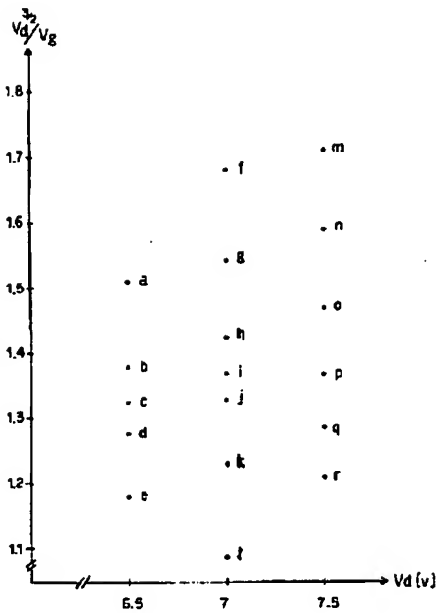
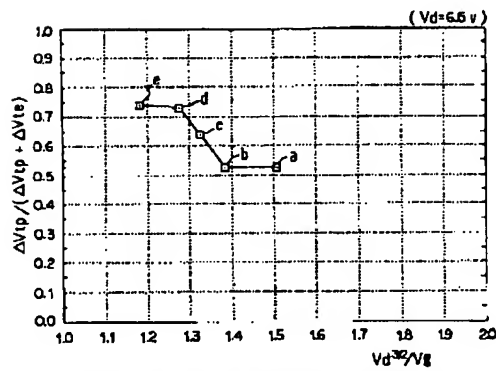
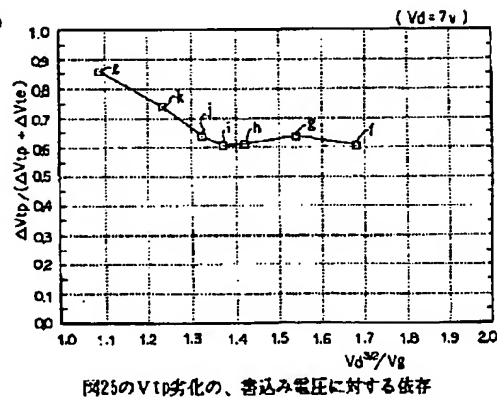


図7～図24の番換え耐性の測定結果 a～r

【図26】



【図27】



(12)

特開平6-180995

【図28】

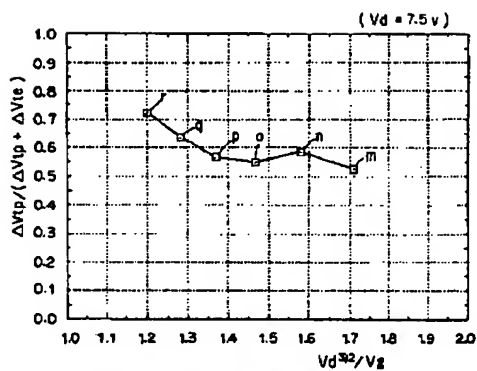


図25の V_{tp} 劣化の、書き込み電圧に対する依存

【図30】

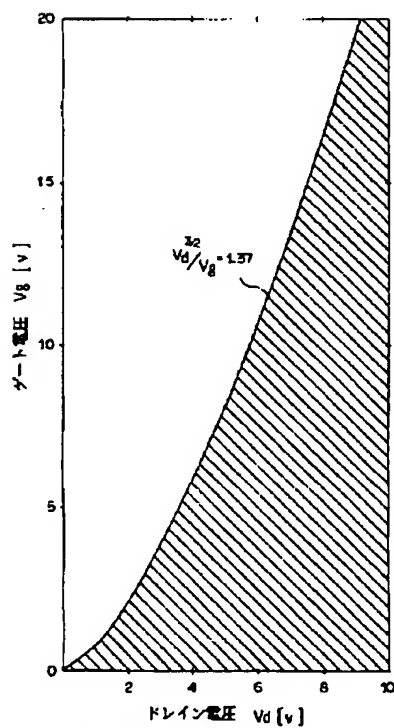


図1の最悪書き込み条件 ($V_d/V_g \geq 1.37$)